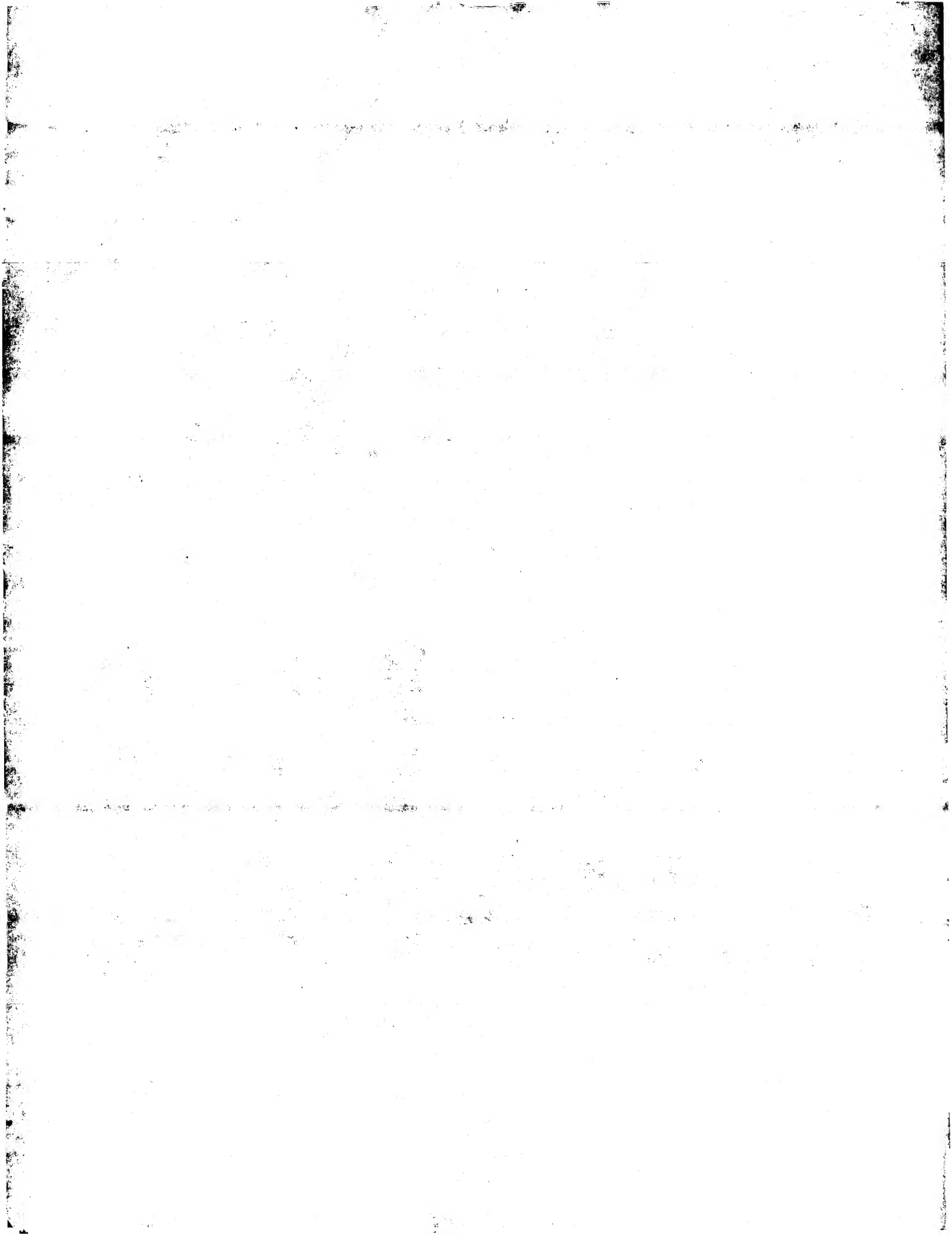


(1) National Publication of Translation No. 2001-517393



5411615701

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公表特許公報(A)
 (11)【公表番号】特表2001-517393(P2001-517393A)
 (43)【公表日】平成13年10月2日(2001. 10. 2)
 (54)【発明の名称】パルス変調信号の強化されたパワー増幅用パルス基準制御方法
 (51)【国際特許分類第7版】

H03F 3/217
 1/32

【FI】

H03F 3/217
 1/32

【審査請求】未請求
 【予備審査請求】有
 【全頁数】27

(21)【出願番号】特願平10-541075
 (86)(22)【出願日】平成10年4月1日(1998. 4. 1)
 (85)【翻訳文提出日】平成11年10月4日(1999. 10. 4)
 (86)【国際出願番号】PCT/DK98/00133
 (87)【国際公開番号】WO98/44626
 (87)【国際公開日】平成10年10月8日(1998. 10. 8)
 (31)【優先権主張番号】0375/97
 (32)【優先日】平成9年4月2日(1997. 4. 2)
 (33)【優先権主張国】デンマーク(DK)
 (81)【指定国】EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, B, J, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, C, U, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, GW, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, L, R, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, T, J, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW
 (71)【出願人】
 【氏名又は名称】ニールセン、カールステン
 【住所又は居所】デンマーク国・ディケー7500・ホルステブロ・ストロイアヴェイ・109・ディ
 (72)【発明者】
 【氏名】ニールセン、カールステン
 【住所又は居所】デンマーク国・ディケー7500・ホルステブロ・ストロイアヴェイ・109・ディ
 (74)【代理人】
 【弁理士】
 【氏名又は名称】山川 政樹(外5名)

(57)【要約】

パルス変調信号のパワー増幅に導入される非直線性およびノイズのあらゆるソースを是正するために、パルス変調器とパワー・スイッチング増幅ステージとの間に補正ユニットが用いられる。補正ユニットは、エラー処理ブロックによって提供されるエラー情報に基づいて個々のパルス・エッジに連続的な遅延を導入することにより補償効果が得られるように制御される。本発明の好ましい実施形態は、制御入力信号 v_e の関数として個々のパルス・エッジの遅延を制御する手段を備えた補正ユニットと、補償機能を備えた状態フィード・バック・ブロックAと、最適化されたエラー推定値が得られるようにパルス化された基準 v_r を修正する基準整形ブロックRと、エラー信号を生成する差分ブロックと、このエラーを整形するための補償装置Cとを備える。本発明は、高効率、高性能でかつシステムが余り複雑にならないようにパワー・スイッチング・ステージおよびフィルタに導入される非直線性およびノイズの効率的な補償を伴った、デジタルからアナログへの実用的なパワー変換の実施を可能にする。デジタルからオーディオへの直接パワー変換およびデジタル領域から制御される改良された一般的直流-直流または直流-交流パワー変換システムに応用される。

【特許請求の範囲】

1. パルス変調信号のパワー増幅の際に導入される非直線性およびノイズのあらゆるソースに関して補正する方法であって、パルス変調器とパワー・スイッチング増幅ステージとの間に補正ユニットを導入し、その補正ユニットがパルス・エッジにおいて連続的な遅延を導入し、補償効果を持つように制御されることを特徴とする方法。
2. 入ってくるパルス変調信号の立上がりエッジまたは立下がりエッジまたは両方のエッジにおいてパルス・エッジ遅延補正が行われることを特徴とする請求項1記載のシステム。
3. 前記補正があらゆるスイッチング・サイクルにおける効果的なパルス幅変更 Δt_w によって実施され、全体的な直線関係 $\Delta t_w = k_w \cdot v_e$ が確立されるように前記補正ユニットに対するエラー信号 v_e の直線制御関数として前記補正が制御されることを特徴とする請求項1ないし2に記載のシステム。
4. 前記システムが、パルス変調信号を受け取る入力と、個々のパルス・エッジの遅延を制御する手段を備えた補正ユニットと、パワー・ステージ・ブロックからの補償を用いる状態フィード・バック・ブロックと、任意装備の基準整形ブロックと、エラー情報を引き出すための減算ユニットと、前記エラーを整形し、前記整形済みエラーを補正ユニットに供給する補償

装置とを有することを特徴とする請求項1ないし3に記載の方法。

5. 両側エッジ補正の実施が、前記補正ユニット内における v_i とエラー信号

v_e との比較が $\Delta t_w = k_w \cdot v_e$ の形の直線制御関数を実現するように新規信号 v_i を生成するためのパルス化された基準信号の積分によって実現されることを特徴とする請求項4記載の方法。

6. 前記基準入力がパルス幅変調によって変調される請求項1ないし5に記載の方法の使用。

7. 改良された一般的デジタルPCM-アナログパワー変換システムを実現するために請求項1ないし5に記載の方法の使用。

8. 前記状態フィード・バックが局部的パワー・スイッチング出力電圧 v_p であり、基準整形ブロックが1であることを特徴とする請求項4ないし7に記載のシステム。

9. 前記状態フィード・バックが局部的パワー・スイッチング出力であり、フィード・バック補償が一次フィルタであり、基準整形ブロックが一次システムを同等に実現することを特徴とする請求項4ないし7に記載のパワー増幅器。

10. 前記状態フィード・バックが広域的パワー・スイッチング出力であり、基準整形ブロックが二次フィルタであり、フィード・バック経路補償が一定減衰であることを特徴とする請求項4ないし7に記載のパワー増幅器。

11. 前記パワー・スイッチング・ステージ出力がパワー・スイッチング・ステージからのパルスを直接用いて拡声器その他の負荷を直接駆動することを特徴とする請求項1ないし10に記載のパワー増幅器。

詳細な説明

【発明の詳細な説明】

パルス変調信号の強化されたパワー増幅用パルス基準制御方法技術分野 本発明はパワー・スイッチング・ステージによるパルス変調信号のパワー増幅に関する。本発明は、デジタル信号からアナログパワーへの改善された直接変換に有利に使用可能である。応用例はデジタル・オーディオパワーの直接変換およびデジタル領域から制御される一般的直流-直流または直流-交流パワー変換システムである。

背景 パワー・スイッチング・ステージに基づいたパワー増幅の利点についてはよく知られている。効率が高いことは幾つかの利点を提供する。すなわち、最小重量と最小体積、より高いパワー・ハンドリング能力、および、改善された信頼性である。スイッチング・パワー増幅における基本的要素は変調器、パワー・スイッチング・ステージ、および変調された信号を再構成するための復調フィルタである。パワー・スイッチング・ステージの非直線性は、パワー・スイッチング・ステージによる後続するパワー変換全体を通じて変調器の性能を維持することの重大な障害となる。この問題は基本的なものであり、アナログPWMとしてアナログ変調を使用すること、または、直接的なデジタルPCM-PWM変換としてデジタル変調を使用することと無関係である。

従来の技術においては、一般に、この種の非理想的動作の補償は、種々のフィード・バック制御方法を用いて試みられた。米国特許第4724396号および米国特許第5521549号が、特定の用途としてオーディオ・パワー増幅を用いたこの方法の例を開示している。ただし、線形フィード・バック制御方法は低い周波数のアナログ基準を必要とする。個別のD/Aコンバータを一切必要としないという点でパワー変換を簡略化するためには、デジタル・ソースからのより直接的なパワー変換が望ましい。さらに、アナログ変調回路と搬送波生成器が不要である。国際特許出願WO92/11699号および国際特許出願WO97/37433号は、デジタル・デジタルパワー増幅のためのデジタルPCM-PWM変換に改良された方法を開示している。実際には、これらのシステムは実施が容易でない。というのは、パワー・スイッチング変換に含まれる基本的エラー・ソースの補償措置がとられていないからである。デジタル・ソースを参照基準とするデジタル・フィード・バック制御の応用例は、フィード・バック経路にアナログ-デジタル・コンバータが必要であるという点で複雑である。このため通常のフィード・バック制御は非実用的である。

国際特許出願公告EP758164は、局部的にパワー・スイッチング・ステージを使用するフィード・バック方法を開示している。この場合には、パワー・ステージ出力がフィード・バックされ、パルス幅変調入力と合計される。結果として得られる信号はパワー・スイッチング・ステージを駆動するために用いられる。ただし、補償効果は限られ、すべてのエラー・ソースに向けた改良を制御することは困難である。

結論として、非直線性のあらゆるソースおよびパワー・スイッチング増幅ステージにおけるノイズを除去するための簡単かつ効果的な手段を組み込んだパルス変調信号の一般的パワー増幅に関する発明は従来技術では一切存在しない。したがって、本発明の主目的は、パルス変調された信号の改善されたパワー増幅を可能にすることにある。その際、出力までの後続のすべてのエレメントを通じて変調器の性能を維持できるように、パワー・ステージおよび復調フィルタに関係するすべてのエラー・ソースが除去される。本発明の他の目的は、パワー・ステージの非直線性、電源の変動、および、あらゆる他の非理想的要素の影響を受けない、実用的なデジタルPCM-パワー変換システムを提供することにある。

発明の概要 請求項1と2によれば、本発明の諸目的は、パルス変調器とパワー・スイッチング増幅ステージとの間に補正ユニットを導入することによって達成される。補正ユニットは、パルス・エッジにおけるパルス幅調整による補償を提供する。結果として得られるパワー・スイッチング・ステージ出力が、歪み、ノイズ、その他のあらゆる望ましくない寄与要因を含まないように、幅調整は「事前変形」効果を持つように制御される。

請求項3によれば、本発明の好ましい実施態様は、補正ユニットにおけるパルス幅調整がエラー信号入力の関数である点で独特である。これは、結果として得られる制御システムが線形であり、したがって、システムの設計および最適化が簡略化され、性能の改善が制御可能である点で有利である。

請求項4によれば、パルス基準制御システムは、以下の基本エレメントを備える。

- * パルス変調信号を受け取る入力端子。
- * 制御入力によって制御される個別のパルスのエッジの遅延を補正するための手段を備えた補正ユニット。
- * 補償を用いる状態フィード・バック。
- * 最適エラー推定が得られるようにパルス化された基準入力を修正する基準-整形ブロック。
- * エラー信号を生成する差分ブロックおよびこのエラーを整形する補償装置。

本発明は、補正ユニットに含まれる制御機能の実現に関して種々の実施態様を含む。請求項6ないし10によれば、本発明は、オーディオ・パワー増幅に適する改善されたデジタル-アナログ・パワー変換に関して種々の有利な実施態様を含む。

本発明はパルス変調入力信号の改善された増幅のための根本的に新規な制御方法である。本発明はアナログまたはデジタル領域において変調されたあらゆるパルス変調入力と共に使用可能であり、かつ品質が制御可能なパルス化パワー信号

が必要とされるあらゆる負荷にフィードすることができるので、その応用範囲は非常に広い。最後に、本発明の原理は、パワー変換に際して導入されるあらゆる妨害に関係なく、出力が入力の定数倍となるように、パルス化された基準の完全な再現を実現することができる。

図面の簡単な説明 次に示す図面を参照して、本発明についてさらに説明する。

第1図は、当技術分野で周知のアナログまたはデジタル入力に基づくパワー増幅の原理を示す。

第2図はデジタル・パルス変調に基づくパワー変換の方法を示す。この手法は当技術分野で周知である。

第3図は本発明の一般的なモデルを示す。

第4図は、パワー・ステージからの状態フィード・バックに基づく二重入力パルス基準制御方法に関する本発明の好ましい実施形態を示す。

第5図は、パルス・エッジ遅延エラー補正方法に関する本発明の種々の実施形態を示す。

第6図は、パルスの両縁に操作を加えることにより好都合な線形制御関数を実施するエッジ遅延補正ユニットの実装に関する本発明の好ましい実施形態の原理を示す。

第7図は、両側エッジ遅延補正ユニットの好ましい実施のシステム・ブロック図を示す。

第8図はオーディオ用デジタル-パワー変換システムに関する本発明の有利な応用例を示す。この場合、基準整形ブロックは1であり、フィード・バック・ブロックAは一定減衰特性を有する。

第9図は第8図に示す本発明の有利な応用例の線形モデルを示す。このモデルはこの応用例に適した補償装置を定義する。

第10図は、オーディオ用デジタル-パワー変換システムに関する本発明のさらに他の有利な実施形態を示す。この場合、基準整形ブロックおよびフィード・バック・ブロックはエラー推定を改善するための一次特性を有する。

第11図は、オーディオ用デジタル-パワー変換システムに関する本発明のさらに他の有利な実施形態を示す。この場合、エラー補正に広域フィード・バック・ソースが用いられる。

第12図は第8図の好ましい実施形態の好ましい設計手法の制御ループ特性を示す。

第13図は第8図の好ましい実施形態の好ましい設計方法の閉ループ・システム特性を示す。

第14図は、パワー・スイッチング・ステージにおける決定論的パルス・タイミング・エラー・ソースを対象とするエラー補正のシミュレーションの結果を示す。本発明のこの実施形態の例は歪みを大幅に軽減する。

第15図は電源変動の影響のシミュレーションを示す。本発明の代表的な実施形態は、このエラーソースに起因する相互変調を除去する。

詳細な説明 本発明をよく理解するにはパルス変調信号をパワーレベルまで増幅する場合の基本的な物理的限界について検討することが望ましい。殆どの問題は、変調器からくるパルスの増幅を受け持つパワー・スイッチング・ステージに係る。エラー・ソースをパルス・タイミング・エラー(PTE)とパルス振幅エラー(PAE)に分割することが望ましい。パルス・タイミング・エラーの原因を次に示す。

* ターン・オフおよびターン・オンからパワー・スイッチング・ステージの出力における実際の遷移までの遅延は、ターン・オンとターン・オフの場合で異なる。この種の遅延はパワースイッチの物理的性質およびこの種のスイッチを駆動するハードウェアにおける種々のパラメータに依存する。

* ターン・オフとスイッチング間隔におけるその次のターン・オンとの間の遅延。

* 理論的に要求される無限に速いスイッチングとは違って有限な立上り時間および立下り時間。

パルス振幅エラー(PAE)の主要原因を次に示す。

* パワー・スイッチング・ステージへ給電する電源からのノイズ。あらゆる電源リプルまたはノイズは変調済みオーディオ信号と相互変調する。パワー・スイッチング・ステージの電源除去比(PSRR)は0dBである。

* パワー・スイッチの有限なインピーダンス。

* 結果として得られるパルス・パワー信号の高周波共振遷移。

非理想的変調および非理想的復調に関する追加のエラー・ソースがある。復調フィルタ・エラーはさらなる歪みを導入することもあり得る。磁気コア材料が理想通りでないためである。また、フィルタは全出力インピーダンスを増大する。

したがって、負荷インピーダンスが変化すれば周波数応答に歪を生じる。

第1図は当技術分野で周知のアナログ・パルス変調技法に基づくパワー増幅を実現する方法を示す。変調器出力はパワー・スイッチング・ステージに供給され、そのステージの出力は復調されて、負荷に供給される。アナログ入力を基準とする線形制御システムは、前述のエラーの影響が最小限になるように、パワー変換に含まれるエラーを最小限にする働きをする。

デジタル入力は、制御システムへの入力として働くアナログ入力を生成するために別のD/Aコンバータを必要とする。第2図は、同様に従来技術で周知のデジタル・パルス変調技法を用いたデジタルからアナログへの直接パワー変換に必要な簡略化された望ましいシステムを示す。デジタル基準源と比較できるようにするためにはアナログ/デジタルコンバータが必要となるので、エラー・フィード・バック制御の適用は複雑である。このため性能と複雑さが損なわれ、非実用的である。

本発明の新規な原理を第3図の全体ブロック図に示す。変調器は、補償されたパルス信号 v_e を生成するために、パルス変調信号 v_r を補正するまたは「事前変形」する補正ユニットに供給され、その結果として、後続のパワー変換および復調に含まれる非理想的な挙動が除かれる。これは、各パルス・エッジにおけるパルス・エッジ遅延によって実施され、その遅延は補正ユニットに供給される入力制御信号 v_e によって制御される。この方法を今後、パルス・エッジ遅延エラー補正(P EDEC)と称する。

本発明はパルス変調入力信号の改善された増幅のための根本的に新規な制御方法である。本発明は、アナログまたはデジタル領域で変調されたあらゆるパルス変調入力に使用可能であり、かつ品質が制御可能なパルス化されたパワー信号が必要なあらゆる負荷に供給できるという点で応用範囲が広い。本発明は次に示す2つの基本的な事実に基づいている。

* パルス変調器が非常に高品質のパルス化された波形を生成可能であり、この種の波形は制御システム用の基準として使用可能である。

* パワー・スイッチング変換に含まれるすべてのエラー・ソース(PAEまたはPTE)はパルス幅調整(パルス再タイミング)によって補正可能であり、すべてのエラーソースを完全に除去するにはごく僅かなパルス・エッジの幅調整だけが必要である。

エッジ補正は、第5図に概念的に示すように、片側または両側エッジ補正を用いて実施可能である。片側エッジ補正と両側エッジ補正のどちらを選択するかは変調方法のタイプには無関係である。エッジ制御は両方とも効率的な補正を可能にし、さらに、実施戦略が簡単である。次に、本発明のこの形態においては両側エッジ補正に焦点を絞って説明する。

本発明の好ましい一実施形態を第4図に示す。二重入力パルス基準フィード・バック制御システムは以下のものを備える。

* パルス変調基準信号 v_r が供給される入力端子。

* 個別パルス・エッジの遅延を制御し、補正された出力パルス信号 v_e を生成する手段を備えた補正ユニット(PEDECユニット)。

* パワー・ステージ・ブロックからの補償を含む状態フィード・バック・ブロックA。

* 任意装備の基準整形ブロックR。

* エラー情報を引き出すための減算ユニット。

* 前記エラーを整形し、整形されたエラー v_e を補正ユニットに供給する補償装置C。

補正ユニットは種々の線形方法および非線形方法により実現可能である。PEDECユニットの実現に関する本発明の特

に有利な実施形態について以下に記述する。PEDECユニットへの制御エラー信号 v_e で、各スイッチング・サイクルの後

で、制御信号入力 v_e に比例するパルス幅 Δt_w の有効な変化を実現するのが有利なことが実証されている。

$$\frac{d t_w}{d v_e} = k_w \quad (1)$$

単一スイッチング・サイクル内における平均化により、パルス幅の増分 Δt_w とP

E D E Cユニット出力の平均値の対応する変化 $\Delta \bar{v}$ 。との間の関係を確立するこ

とができる。以下では話を簡単にするために、PEDECユニット出力パルスの

振幅が1であると仮定する。 Δt_w に対する $\Delta \bar{v}_c$ の関係は次式の通りである。

$$\Delta \bar{v}_c = \frac{1}{t_s} \left[\int_0^{d \cdot t_w + \Delta t_w} 1 \cdot dt + \int_{d \cdot t_w + \Delta t_w}^{t_s} (-1) \cdot dt \right] = \frac{2}{t_s} \Delta t_w \quad (2)$$

ここで、 d は現スイッチング・サイクル内のデューティ・サイクルであり、 t_s はスイッチング期間である。したがって、次式が成立する。

$$\frac{d \bar{v}_c}{d t_w} = \frac{2}{t_s} \quad (3)$$

(1)と(3)を組み合わせるにより、次に示す線形制御関数が得られる。

$$k_{PEDEC} = \frac{d \bar{v}_c}{d v_c} = \frac{2 k_w}{t_s} \quad (4)$$

この好ましい線形制御関数は、コントローラの設計を簡略化し、たとえば、非線形制御関数を用いるのに比べて、制御可能な特性の改善を図ることができる点で有利である。

本発明の好ましい実施形態は、(4)式を実現する両側補正ユニットの実装が簡単である点で独特である。この方法を第6図に示す。線形制御関数は基準信号 v_i の積分によって実現され、その結果として信号 v_c が生成される。修正された基準信号と制御信号 v_c との間の比較により、パルス・エッジが幅調整される。第6図から次式が得られる。

$$\hat{t}_w = t_w - t_0 \frac{v_c}{V_i} \Rightarrow \quad (5)$$

$$\Delta t_w = \hat{t}_1 - \hat{t}_2 = \begin{cases} t_0 & (v_c > 1) \\ t_0 v_c (-1 \leq v_c \leq 1) \\ -t_0 & (v_c < -1) \end{cases}$$

ここで、 (\cdot) は、PEDECユニットを通過した後の、補正済み変数を示す。

すべてのパルス振幅が1に正規化されるものと仮定する。この好ましい実施例において、 k_w は(1)に定義されるように、次式で表される。

$$k_w = \frac{d \hat{t}_w}{d v_c} = t_0 \quad (6)$$

両側エッジ補正の提案された実施例では、次の等価制御利得が得られる。

$$k_{PEDEC} = \frac{2 t_0}{t_s} \quad (7)$$

第7図は、両側エッジ補正方法の好ましい実施例を示す。この方法は非常に簡単で、直接的である。

この好ましい解決方法で最適の制御を得るには、パルスはある最小幅でなければならない。最適性能を得るための最小パルス幅は、変調指数 M およびスイッチング期間 t_s と次に示す関係がある。

$$t_w, \min \geq t_0 \Rightarrow M_{\max} = 1 - \frac{2 t_0}{t_s} \quad (8)$$

パルス幅および最大変調指数 M_{\max} に関するこの制限条件は基本的な限界を意味しない。というのは、補正がこの限界を超えてもなお部分的に作用するからである。一般に、制限付き補正範囲だけが必要とされるので、 t_0 は t_s より1桁又はそれ以下であることが好ましい。

本発明は、本発明の応用例、特に、デジタルからアナログへのパワー変換に関して幾つかの実施形態を含む。好ましい一実施形態を第8図のシステムに示す。

PEDECを当技術分野で周知の高性能デジタル・パルス幅変調方法(PCM-PWM方法)の1つと組み合わせて用いることにより、信号は、主音声経路全体を通じて、デジタルまたはパルス化された状態のままである。このシステムではデジタル変調器によって排他的に制御されるので、アナログ・パルス変調用の一切のアナログ変調器または搬送波生成器を必要としない。本発明のこの特定の実施形態において、状態フィード・バックはパワー・スイッチング・ステージ出力 v_o からの電圧フィード・バックである。フィード・バック経路補償装置は単なる減衰であり、補償装置ブロック $C(s)$ は線形フィルタである。この特定の実施形態の簡単なコントローラ構造にもかかわらず、本システムは、システム性能の非常に強力かつ柔軟な制御を導入する。

好ましい線形制御関数は性能最適化に大きい融通性を与える。PEDEC制御システム設計の一例について次に規定する。補償装置は、第9図に示すように、システムの線形モデルで定義される。PEDECユニットはその等価線形利得で置き換え、得られたシステムを、PEDECに基づくデジタルパワー変換システムのもつ二重入力特性を強調するように書き直してある。指定された補償装置は、性能を種々の特性に対して最適化するために充分な融通性を提供する。結果として得られるループ伝達関数はシステム・モデルから直接誘導される。

$$L(s) = \frac{K_P k_{PEDEC}}{K} C(s) \quad (9)$$

$$= \frac{K_C K_P k_{PEDEC}}{K} \frac{v_{z1}s + 1}{(v_{p1}s + 1)(v_{p2}s + 1)(v_{p3}s + 1)}$$

パワーステージ利得 K_P に影響を及ぼすノイズ、歪み、または、電源変動としてのすべての非理想的効果は、感度関数 $S(s) = (1 + L(s))^{-1}$ によって軽減される。実際のループ整形はループ帯域幅と所望の感度関数との間の折衷である。さら

なる考慮事項は、システム・パラメータの不確定性に対する安定性および堅固性である。これらの態様間の魅力的な折衷をもたらす正規化された1組のシステム・パラメータを表1に示す。補償装置直流利得 K_c は所要ループ帯域幅を生成するように最適化される。標的帯域幅の6～8倍の帯域幅が、効率とエラー補正能力との間の良好な折衷である。第12図に、各構成要素と結果として得られるループ伝達関数に関するボード・プロットを示す。

パラメータ	数値	コメント
K_{PEDEC}	0.2	等価PEDECユニット利得
K	10	システム利得=20dB
K_p	10	等価パワーステージ利得=20dB
f_u	6	帯域幅
$f_{p1} = \frac{1}{2\pi\tau_{p1}}$	$\frac{f_u}{20}$	ループ・パラメータ
$f_{p2} = \frac{1}{2\pi\tau_{p2}}$	$\frac{f_u}{20}$	ループ・パラメータ
$f_{p3} = \frac{1}{2\pi\tau_{p3}}$	$2f_u$	ループ・パラメータ
$f_{x1} = \frac{1}{2\pi\tau_{x1}}$	$\frac{f_u}{2}$	ループ・パラメータ
f_r	2	フィルタ中性周波数
Q_r	$\frac{1}{\sqrt{3}}$	フィルタQ (ベッセル特性)

表1: 周波数正規化済みパラメータの例 本システムの利得はAブロックによって制御され、所与の実施形態の例に対して、PEDEC制御システムは標的帯域幅内においてシステム利得が一定であるように強制する。これによって、システム利得と周波数応答が共に安定化する。第9図における本発明のこの一実施形態の例の線形モデルによれば、結果として得られるシステム応答は2つの寄与要因から成る。というのは、この基準がループ内で2つの入力をもつからである。システム伝達関数を次に示す。

$$H(s) = \frac{C(s)K_p K_{PEDEC}}{1 + L(s)} + \frac{K_p}{1 + L(s)} \quad (10)$$

$$= \frac{K_p [C(s)K_{PEDEC} + 1]}{1 + L(s)}$$

$K = K_p$ である特別な(ただし異常ではない)場合に、システム伝達関数は次式のように一定である。

$$H(s) = \frac{K [C(s)K_{PEDEC} + 1]}{1 + C(s)K_{PEDEC}} = K \quad (11)$$

一般的な場合では、次の通りである。

$$H(s) = \begin{cases} K & (f < f_u) \\ K_p & (f > f_u) \end{cases} \quad (12)$$

第13図に、閉システムに関して結果として得られるボード・プロットを示す。

これはループ応答および復調フィルタを含む全システム応答を形成する2つの寄与要因から成る。ループの一定利得特性は $K = K_p$ から生じる。復調フィルタはシステムの応答を排他的に決定する。

上記の実施形態の例のパラメータは単に説明のためのものにすぎず、他のループ伝達関数利得/帯域幅の折衷等によって他の種々のシステム特性を考えることができる。

やはり高品質のデジタルパワー変換に適した他の有利な実施形態も第10図および第11図に示す。これらの代替実施形態は異なる補償装置および基準整形ブロックを使用することを特徴とする。第10図に示す実施形態は、基準整形ブロック $R(s)$ およびフィード・バック補償装置Aの両方において一次特性に基づくことが好ましい。基準およびフィード・バック信号両方の復調における利点は制御システム内およびフィード・バック補償装置に関するより低い帯域幅要件内でノイズが最小化されることである。第11図における実施形態は、広域フィード・バック・ソースに基づき、したがって、たとえば復調フィルタ・エラーがループ内に含まれ、やはり補正されるようになる。これには、最適エラー指定用の二次基準整形器が必要である。

パルス・タイミング・エラー(PTE)に対する補正効果を第14図に示す。

ここで、開ループ・システム用のTHDおよび3つのPEDECコントローラ構成は最悪ケースの信号周波数において調査済みである。明らかに、このコントローラはこの特定のエラー・ソースの影響をかなり軽減する。さらに、補償装置利得 K_c を調節することによって改善を制御することができる。特定の状況において、歪みは20dBから30dB程度軽減される。第15図は苛酷な電源変動が10V_{pp}である場合におけるPAEの調査結果を示す。上図は電源と信号の間の明瞭な相互変調を示す。下図は、たとえばその時間領域内で相互変調が一切現れないように、PEDECコントローラがこの影響をど

の程度除去するかを示す。相互変調歪みは、感度関数によって理論的に予測されるように、開ループの場合に較べて40 dB以上も低下する。

以上、本発明をその例示的实施形態に関して記述したが、本発明の趣旨および範囲から逸脱することなしに、前述その他種々の変更、省略、および追加を行うことが可能であることを理解されたい。

図面

【図1】

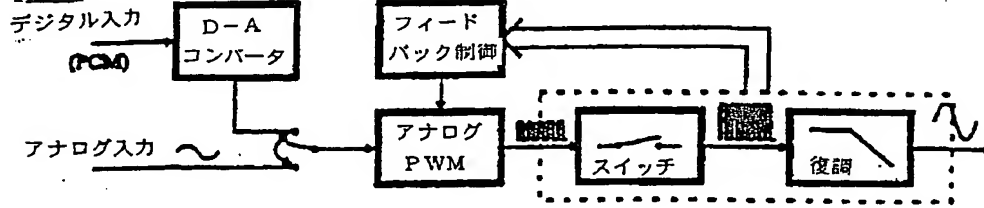


Fig. 1 (Prior art)

【図2】

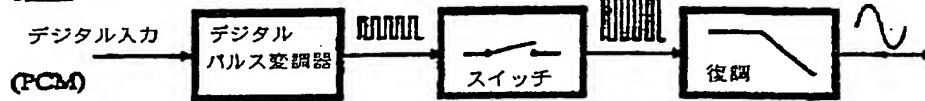


Fig. 2 (Prior art)

【図3】

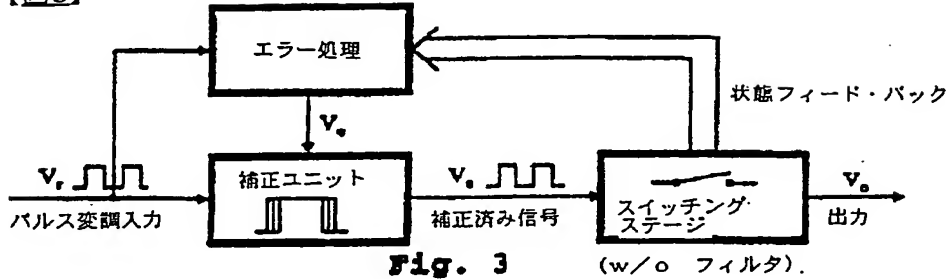


Fig. 3 (w/o フィルタ).

【図4】

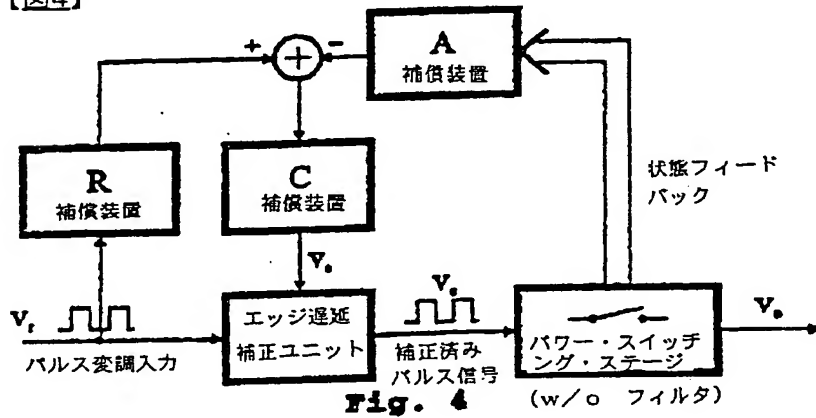


Fig. 4 (w/o フィルタ)

【図5】

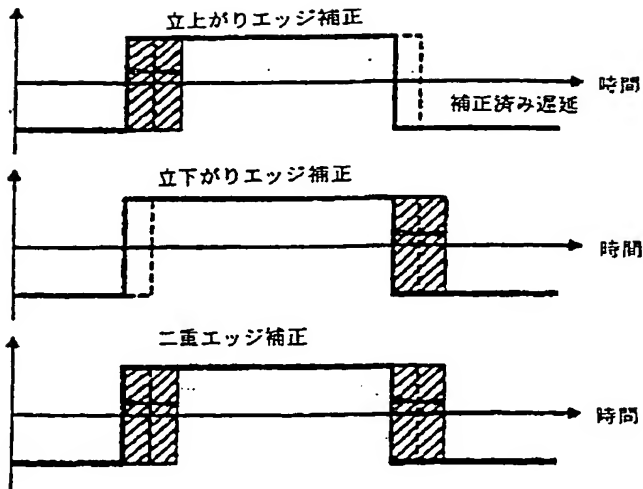


Fig. 5

【図6】

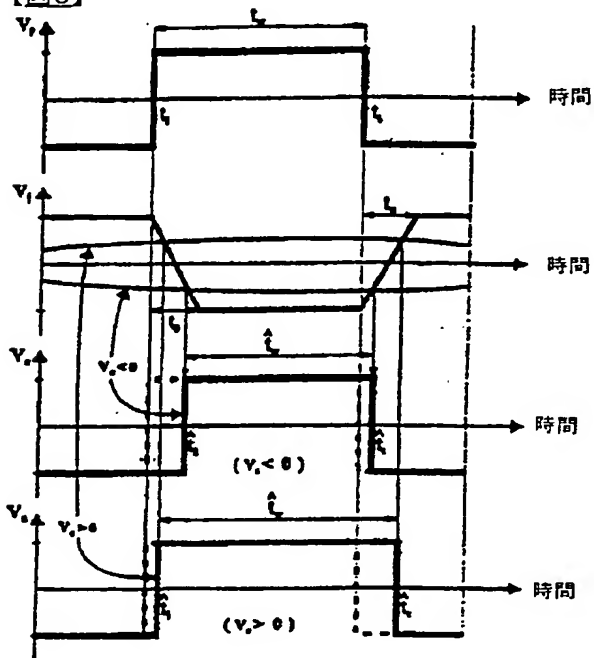


Fig. 6

【図7】

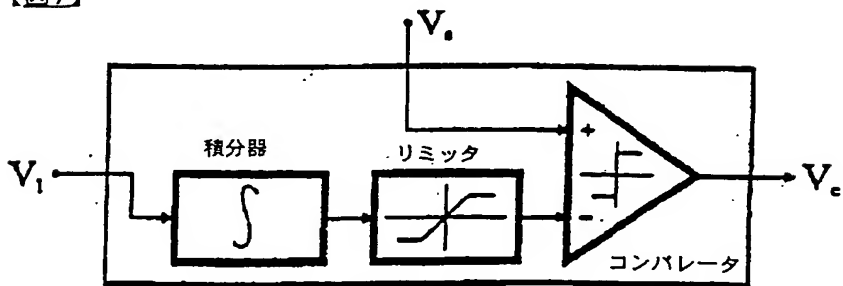


Fig. 7

【図8】

【図9】

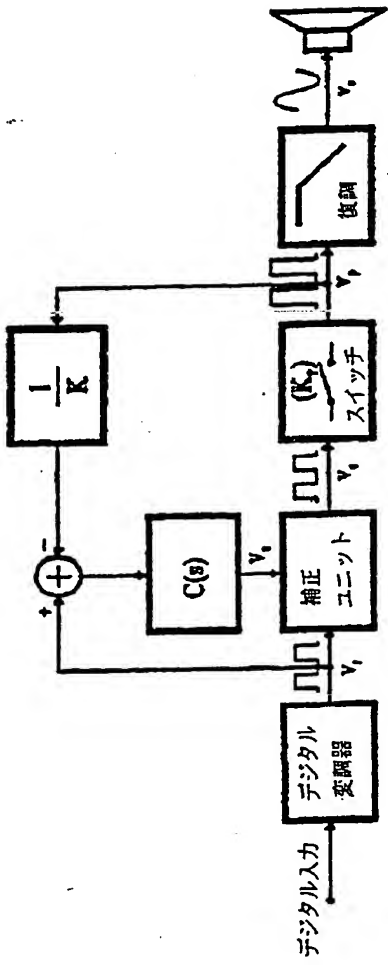
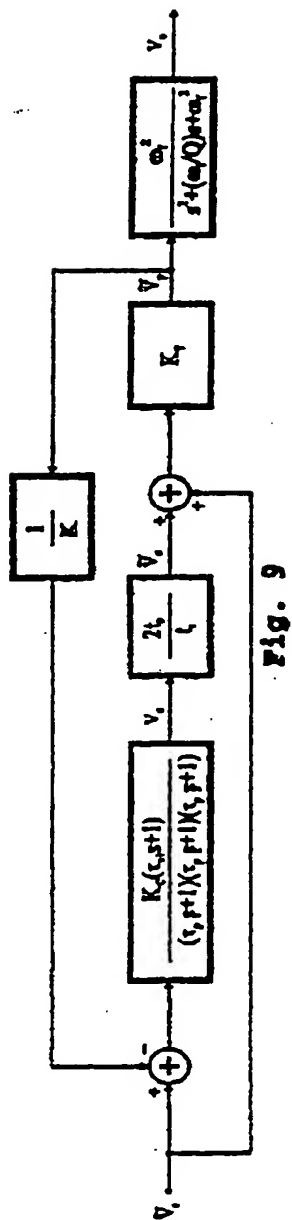
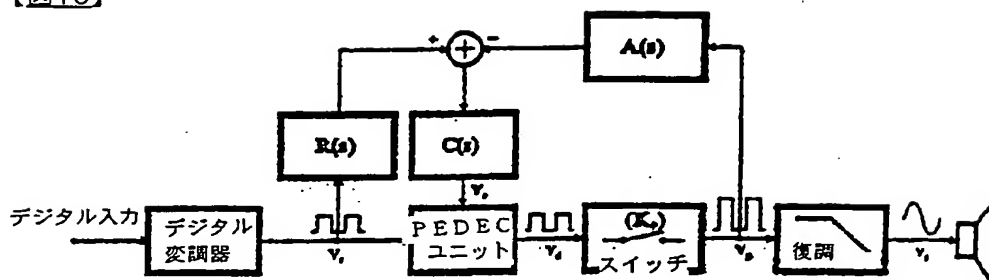


Fig. 8



【図10】



【図11】

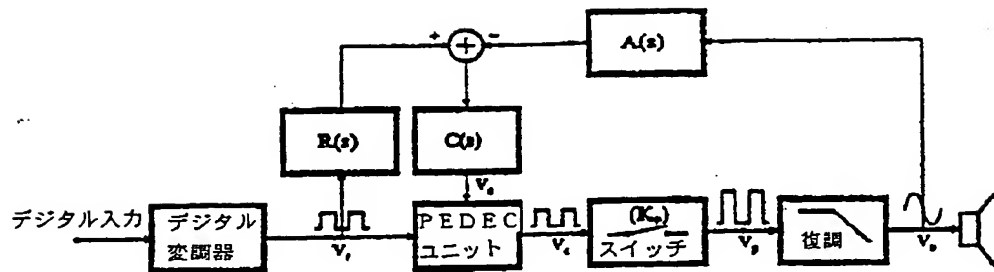


Fig. 11

【図12】

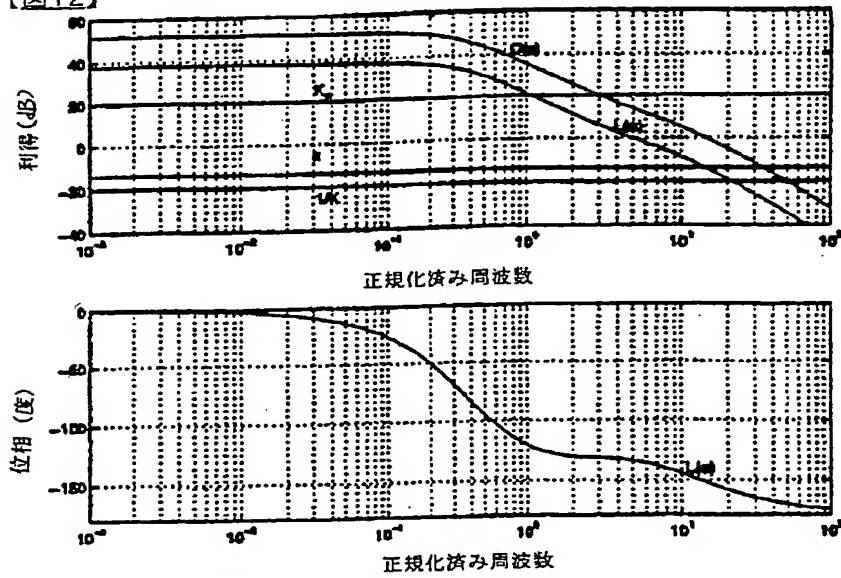


Fig. 12

【図13】

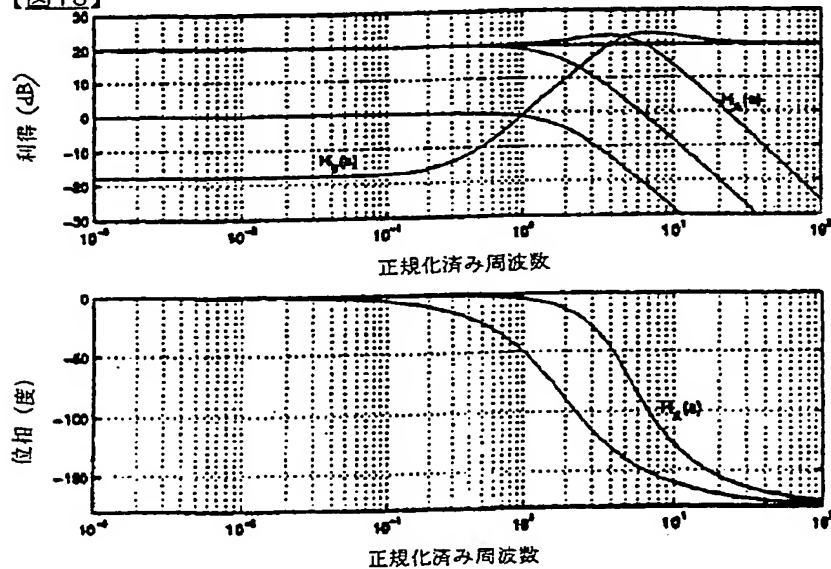


Fig. 13

【図14】

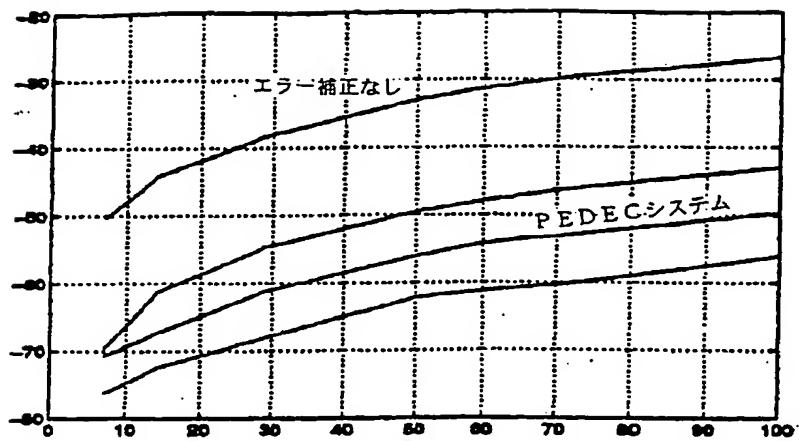


Fig. 14

【図15】

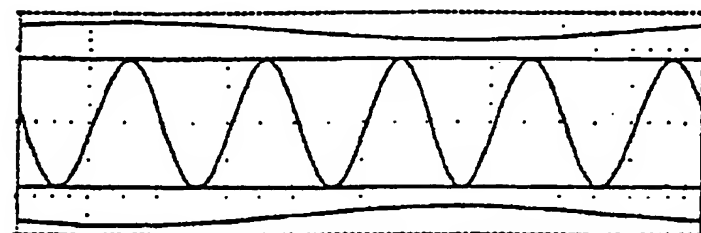
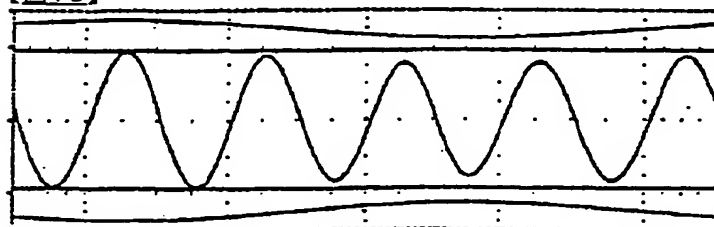


Fig. 15

